

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 31 648.1

**Anmeldetag:** 12. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren und Vorrichtung zur Stuffing-Regelung

**IPC:** H 04 L 7/033

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 12. Juni 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

Hoiß

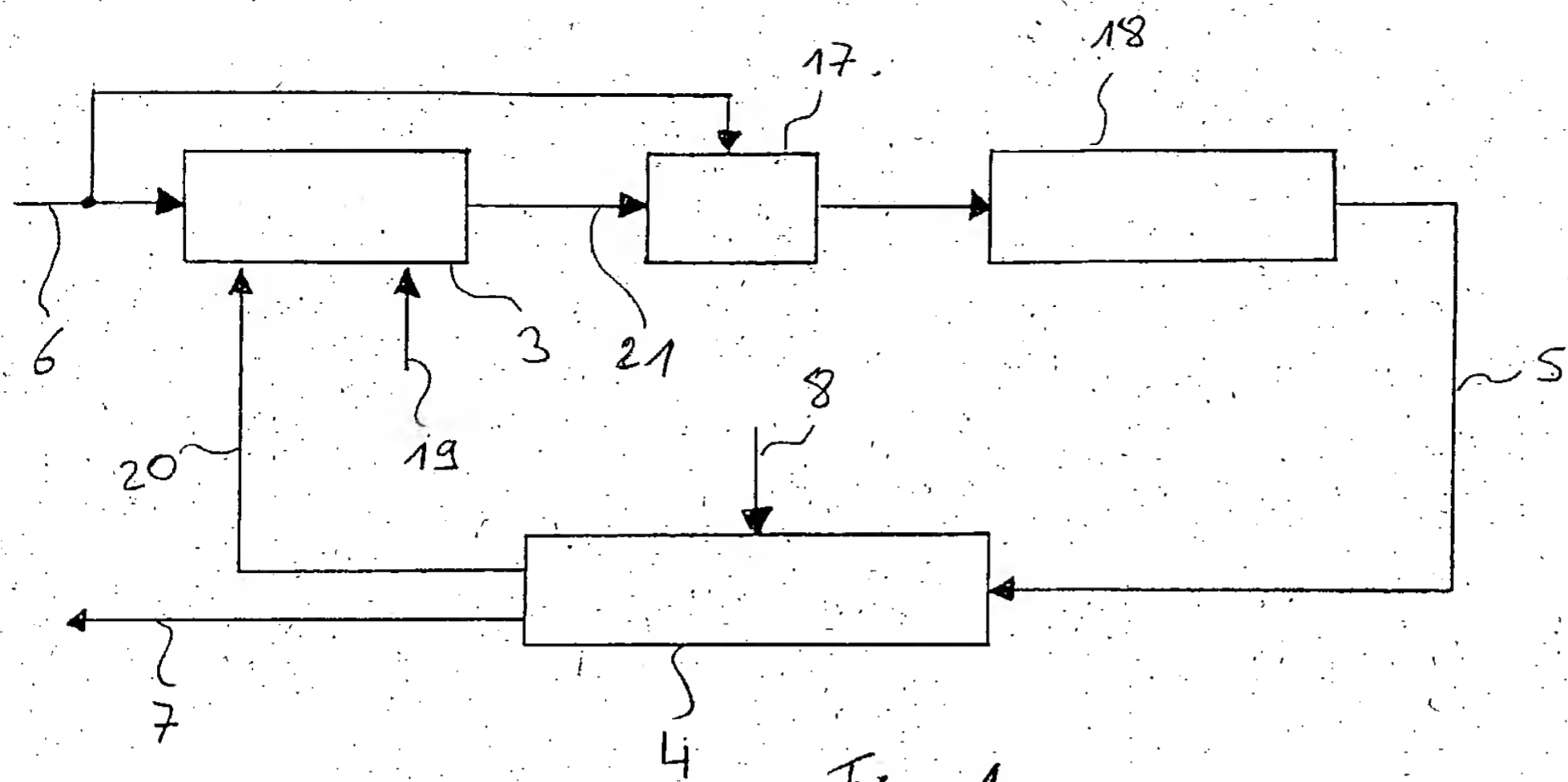


Fig. 1

## Beschreibung

## Verfahren und Vorrichtung zur Stuffing-Regelung

- 5 Die vorliegende Erfindung betrifft ein Verfahren zum Regeln der Phase von aufeinanderfolgend übertragenen Rahmen, in denen Datensymbole mit einer konstanten Symbolfrequenz übertragen werden, wobei die Phase des Takts der Rahmenübertragung durch Einfügen von Stopfdatensymbolen in die Rahmen verändert wird.
- 10 Weiterhin betrifft die Erfindung eine Vorrichtung bzw. einen Phasendetektor, die zur Durchführung des vorstehenden Verfahrens eingerichtet sind.

Bei einem plesiochronen Datenübertragungsverfahren, insbesondere bei einer S(H)DSL-Übertragung, werden Datensymbole zu

15 Rahmen zusammengefasst und übertragen, wobei die Länge der Rahmen durch Einfügen oder Weglassen von Stopfdatensymbolen so gegenüber einer Nominallänge verändert wird, dass die bzw. der über viele Rahmen gemittelte Rahmenlänge bzw. Takt der Rahmen-

20 übertragung synchron zu einem Datentakt ist. Die Datensymbole innerhalb der Rahmen werden dabei mit einer konstanten Symbolfrequenz übertragen. Auf diese Weise ist es möglich, Datensymbole, die in einem Datenquellentakt zur Übertragung geliefert werden, mit der Symbolfrequenz zu übertragen und auf eine Empfängerseite wieder in die Datenquellenfrequenz bereitzustellen.

25 Dies ist insbesondere dann wichtig, wenn eine u.U. auch in Grenzen variable Datenquellenfrequenz gegeben ist, die Datensymbole aber dennoch mit einer konstanten Symbolfrequenz übertragen werden müssen, um eine auf die gleichbleibenden elektrischen Eigenschaften insbesondere einer drahtgebundenen Übertragungsleitung abgestimmte Übertragung zu erreichen. Der Datentakt ist ein Maß für die Frequenz, mit der die zu übertragenden Datensymbole anfallen, bzw. die Datenquellenfrequenz. Da in einem Rahmen mehrere Datensymbole übertragen wer-

30

den, ist die Rahmenfrequenz notwendigerweise wesentlich geringer als die Datenquellenfrequenz. Der Datentakt wird daher vorteilhafterweise normiert, indem die Datenquellenfrequenz durch die Anzahl der in einem Rahmen üblicherweise übertragenen Datensymbole und Stopfdatenelemente geteilt wird, um ein der Rahmenübertragung entsprechendes Signal zu erhalten.

Dieses Hinzufügen bzw. Weglassen von Stopfdatensymbolen innerhalb der Rahmen wird auch als Stuffing bezeichnet. Bei einer S(H)DSL-Übertragung beträgt beispielsweise die Nominallänge eines Rahmens 6 ms. Unabhängig von den zur Übertragung anstehenden Datensymbolen mit fester Länge soll mit Hilfe der Stopfdatensymbole die Längen der Rahmen derart geregelt werden, dass sie im Mittel von der nominalen Länge geringfügig abweicht.

Die in Figur 4 dargestellten Rahmen 1 weisen wechselnde Längen auf, die durch eingefügte Stopfdatensymbole erzeugt worden sind, wobei die Datensymbole 2 um Stopfdatensymbole 2a erweitert worden sind und beispielsweise der rechts dargestellte Rahmen 1 vier Datensymbole 2 und der links daneben dargestellte Rahmen 1 vier Datensymbole 2 und ein Stopfdatensymbol 2a und somit insgesamt fünf Datensymbole bzw. Stopfdatensymbole aufweist. In Figur 4 ist die Struktur von Rahmen 1 dargestellt, die aufeinanderfolgend übertragen werden und jeweils Datensymbole 2 aufweisen. In Figur 5 ist eine bekannte Vorrichtung zur Regelung der Rahmenlänge dargestellt. Die Vorrichtung umfasst einen Phasendetektor 3, der auf der Eingangsseite mit einem Datentaktsignal 6 und dem Signal der Rahmenübertragung 7 beaufschlagt wird. Der Phasendetektor 3 erzeugt abhängig von der Phasendifferenz zwischen den beiden Eingangssignalen ein Stellsignal 5 mit dem ein Rahmengenerator 4 gesteuert wird. Der Rahmengenerator 4 wird über ein nicht dargestelltes Signal mit den zu übertragenden Datensymbolen mit ei-

ner Datenquellenfrequenz beaufschlagt und ist derart eingerichtet, dass er diese Datensymbole im Takt einer Symbolfrequenz, die über eine Symbolfrequenzleitung 8 zugeführt wird, und innerhalb eines Rahmens, dessen Länge durch das Signal 5 eingestellt wird, aussendet. Der Phasendetektor 3 ist ebenfalls mit der Symbolfrequenzleitung 8 verbunden und empfängt somit die Symbolfrequenz. Der Phasendetektor 3 ist derart eingerichtet, dass er zur Ermittlung der Phasendifferenz zwischen den beiden Eingangssignalen ermittelt, in welche Perioden der Symbolfrequenz eine Flanke des Datentaktsignals 6 bzw. der Beginn eines neuen Rahmens innerhalb des Rahmenübertragungssignals 7 fällt und durch zeitlichen Vergleich der betreffenden Perioden des Symbolfrequenzsignals die Phasendifferenz ermittelt. Das Rahmenübertragungssignal 7 wird drahtgebunden zu einem Empfänger übertragen, der mit Hilfe einer bekannten Vorrichtung zur Takt- und Datenrückgewinnung aus dem Rahmenübertragungssignal 7 sowohl die Datensymbole als auch die Symbolfrequenz rückgewinnt. In Figur 6 ist eine Vorrichtung dargestellt, mit der auf der Empfängerseite in Abhängigkeit der Symbolfrequenz, die über eine Symbolfrequenzleitung 8 übertragen wird, und des Rahmenübertragungssignals 7 bzw. der Rahmenübertragung 7, die Datenquellenfrequenz wiedergewonnen wird. Dazu weist die Vorrichtung einen Deframer 9 auf, der die Datensymbole im Rahmenübertragungssignal 7 analysiert und die Rahmenstruktur extrahiert und ein dem Rahmen synchrones Signal an eine PLL-Schaltung liefert. Die PLL-Schaltung besteht aus einem Phasendetektor 10, dessen Ausgangssignal durch ein Schleifenfilter 11 mit Proportional- und Integralanteil gefiltert und einem gesteuerten Oszillator 12 zugeführt wird. Das Ausgangssignal des Oszillators 12 wird durch einen Teiler 13 geteilt und auf einen Eingang des Phasendetektors 10 zurückgeführt. Der Faktor des Teilers 13 ist so eingerichtet, dass das Ausgangssignal des Oszillators 12 der Datenquellenfrequenz entspricht. Mit der Datenquellenfrequenz werden die in dem

Rahmenübertragungssignal 7 enthaltenen Datensymbole auf der Empfängerseite weitergeleitet.

Wenn auf der Senderseite die Datenquellenfrequenz genau syn-  
5 chron mit der Symbolfrequenz bzw. der an die Anzahl der in ei-  
nem Rahmen 1 übertragenen Datensymbole angepassten Symbolfre-  
quenz ist, werden in den Rahmen 1 alternierend Stopfdatensym-  
bole eingefügt bzw. weggelassen. Damit ergibt sich für die  
Rahmen 1 die in Figur 4 dargestellte Struktur mit alternieren-  
10 den Längen für die Rahmen 1. Die mittlere Rahmenlänge ent-  
spricht in diesem Fall genau der Normallänge der Rahmenlänge,  
beispielsweise von 6ms bei S(H)DSL. Falls der Datentakt jedoch  
nicht genau synchron zur Symbolfrequenz bzw. der geteilten,  
Symbolfrequenz ist, ist die Rahmenlänge nicht immer alternie-  
15 rend, sondern es werden nach einer bestimmten Anzahl von Rah-  
men mehrmals hintereinander Stopfdatensymbole eingefügt oder  
weggelassen, um die geringe Abweichung zu kompensieren bzw.  
die mittlere Rahmenlänge dem Datentakt nachzuführen.

20 In Figur 7 ist ein derartiger Fall dargestellt, wobei der Ver-  
lauf 14 der Phase des Rahmenübertragungssignals 7 und der Ver-  
lauf 15 der Phase des Datentakts auf der Datentaktleitung 6  
entspricht. Die Phase der Rahmenübertragung entspricht dabei  
der zeitlichen Lage der Wechsel zwischen den Rahmen. Aus die-  
25 sem Verlauf ist zu erkennen, dass die Phase 14 der Rahmenüber-  
tragung 7 durch das alternierende Hinzufügen bzw. Weglassen  
von einem Stopfdatensymbol ständig hin und her springt, aber  
im Mittel für eine bestimmte Anzahl von Rahmen konstant  
bleibt. Sobald jedoch die Differenz zwischen der Phase 15 und  
30 des Datentakts 6 und der mittleren Phase des Phasenverlaufs 14  
zu groß wird, werden zweimal hintereinander in einen Rahmen 1  
ein Stopfdatensymbol eingefügt, worauf wieder das streng al-  
ternierende Hinzufügen bzw. Weglassen des Stopfdatensymbols  
beginnt. Im dargestellten Fall werden jeweils nach 13 normalen

Zyklen mit alternierendem Stuffing zweimal hintereinander Stopfdatensymbole eingefügt, so dass sich eine treppenartige Struktur des Zickzackverlaufs 14 ergibt.

5 In Figur 7 ist unter dem Verlauf 14 mit dem Verlauf 16 die Phase des auf der Empfängerseite von der PLL-Schaltung erzeugten Datentakts 6 dargestellt. Eine Unterbrechung des alternierenden Stuffings auf der Senderseite durch das mehrmals hintereinander auftretende Einfügen bzw. Weglassen von Stopfda-  
10 tensymbolen führt auf der Empfängerseite in der Phase des rückgewonnenen Datentakts zu einem Jitter, der umso schlechter unterdrückt werden kann, je größer der zeitliche Abstand zwischen ihnen wird. Der Grund dafür ist, dass bei großem zeitlichen Abstand die Frequenz, mit der die Jitter auftreten, ab-  
15 nimmt und umso schlechter von der PLL auf der Empfängerseite unterdrückt werden kann. Dies bedeutet, dass der nachteilige Jitter auf der Empfängerseite umso stärker ausgeprägt ist, je größer die Anzahl an Rahmen ist, bei denen streng alternierend Stopfdaten hinzugefügt und weggelassen werden bzw. je geringer  
20 die Abweichung der Datenquellenfrequenz von der Symbolfrequenz bzw. der angepassten Symbolfrequenz ist.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren bzw. ein zur Durchführung des Verfahrens eingerichtetes Phasendetektor sowie eine zur Durchführung des Verfahrens eingerichtete Vorrichtung zu schaffen, wobei die Phase  
25 von aufeinanderfolgend übertragenen Rahmen, in denen Datensymbole mit einer konstanten Symbolfrequenz übertragen werden, derart durch Einfügen bzw. Weglassen von Stopfdatensymbolen in  
30 die Rahmen geregelt wird, dass die mittlere Rahmenlänge synchron zu einer Datenquellenfrequenz ist und bei der Rückgewinnung des Datentakts aus dem übertragenen Rahmen auf einer Empfängerseite keine oder nur geringe Jitter in der Phase des rückgewonnenen Datentakts auftreten.

Erfindungsgemäß wird diese Aufgabe durch ein Verfahren mit den Merkmalen des Anspruchs 1 bzw. einen Phasendetektor mit den Merkmalen des Anspruchs 12 sowie eine Vorrichtung mit den Merkmalen des Anspruchs 14 gelöst. Die Unteransprüche definieren jeweils bevorzugte und vorteilhafte Ausführungsformen der vorliegenden Erfindung.

Erfindungsgemäß wird die Phasendifferenz zwischen dem Takt der Rahmenübertragung und dem Datentakt über die Phase von jeweils wenigstens zwei aufeinanderfolgenden Rahmen ermittelt. Insbesondere kann die Phasendifferenz über wenigstens zwei Rahmen gemittelt werden. Auf diese Weise wird bei eingeschwungener Regelung (PLL) sozusagen die Grundstellbewegung, bei der alternierend Stopfdatensymbole eingefügt und weggelassen werden, entfernt und es kann die Differenz zwischen der gemittelten Phase der Rahmenübertragung und dem Datentakt genauer ermittelt und somit die mittlere Phase der Rahmenübertragung besser der Phase des Datentakts nachgeregelt werden. Dies bedeutet, dass das streng alternierende Stuffing bzw. Einfügen und Weglassen einer gleichbleibenden Anzahl von Stopfdatensymbolen nach bereits kürzerer Zeit unterbrochen werden kann, beispielsweise durch mehrmaliges Aufeinanderfolgen des Einfügen bzw. Weglassen von Stopfdatensymbolen, um die mittlere Phase der Rahmenübertragung der Phase des Datentaktes nachzuregeln, so dass auf der Empfängerseite ebenfalls die Abweichungen vom streng alternierenden Stuffing in kürzerer Folge auftreten, somit besser von der PLL ausgeregelt werden können und Jitter besser unterdrückt werden können.

Vorteilhafterweise wird bei der Regelung in den Vorschriften zur Berechnung des Stellsignals sowohl ein Proportionalanteil als auch ein Integralanteil vorgesehen, so dass insbesondere keine bleibende Regelabweichung auftritt. Die Regelung ist -

wie auch die in Figur 5 erwähnte Regelung zum Stand der Technik - zeitdiskret.

Besonders vorteilhafterweise ist die Regelung derart eingerichtet, dass zwei Grenzzyklen auftreten, die zwei unterschiedlichen Stellsignalbewegungen entsprechen. Die zwei Grenzzyklen umfassen einen kleinen Grenzzyklus, bei dem Stopfdatensymbole in zwei alternierenden Anzahlen in die Rahmen eingefügt werden und dessen Stellsignalbewegung eine höhere Frequenz aufweist als die Stellsignalbewegung eines großen Grenzzyklus. Der kleine Grenzzyklus entspricht somit dem streng alternierenden Stuffing. Die Parameter der Regelung, d.h. die Art der Amplitudendiskretisierung der Signale innerhalb der Regelung (Quantisierung) und die diskreten Werte für die Faktoren für den Proportional- und den Integralanteil, werden dazu so eingestellt, dass dieser zusätzliche große Grenzzyklus auftritt und zusätzlich zu dem streng alternierenden Stuffing eine weitere Arbeitsbewegung des Stellsignals mit jedoch geringerer Frequenz auftritt. Die Frequenz dieser Arbeitsbewegung bzw. der Stellsignalbewegung im großen Grenzzyklus ist jedoch größer als die Frequenz, mit der bei Regelungen nach dem Stand der Technik Unterbrechungen im streng alternierenden Stuffing auftreten würden, so dass auf der Empfängerseite eine bessere Unterdrückung der Jitter in der Phase des rückgewonnenen Datentakts möglich ist, da die Jitterfrequenz höher und insbesondere höher als die Eigenfrequenz der PLL der Empfängerseite ist.

Das Stellsignal kann verschiedene Zustände einnehmen, die jeweils einer bestimmten Anzahl an eingefügten Stopfdatensymbolen entsprechen. In der einfachsten Ausführungsform kann das Stellsignal nur zwei unterschiedliche Zustände einnehmen, so dass zum Beeinflussen der Länge der Rahmen nur zwei unterschiedliche Anzahlen an Stopfdatensymbolen eingefügt werden

können. Dies können beispielsweise das Einfügen eines solchen Symbols oder das Weglassen dieses einen Symbols sein. Ebenso können jedoch mehr als ein derartiges Symbol eingefügt oder weggelassen werden. Darüber hinaus ist jedoch auch denkbar, mehr als zwei Zustände für das Stellsignal vorzusehen, so dass aufeinanderfolgend die Anzahl der eingefügten Stopfdatensymbole feiner beeinflusst werden kann bzw. mehr als zwei unterschiedliche Anzahlen eingefügter Stopfdatensymbole möglich sind.

10

Bei der Ermittlung der Phasendifferenz für die jeweils N übertragenen Rahmen kann die Phasendifferenz für aufeinanderfolgende Rahmen ermittelt werden und können anschließend die ermittelten Phasendifferenzen beispielsweise gemittelt werden.

15 Allgemein ist N vorteilhafterweise geradzahlig, so dass die Schwankungen der Phase der Rahmenübertragung in folge streng alternierenden Stuffings eliminiert werden.

Zum Ermitteln der Phase des Datentakts bzw. der Rahmenübertragung bzw. zum Ermitteln der Phasendifferenz zwischen diesen beiden Signalen kann eine Phasenmessfrequenz verwendet werden, die größer als die Frequenz des Datentakts bzw. der Rahmenübertragung ist. Dabei wird ermittelt, in welche Perioden des Signals mit der Phasenmessfrequenz Flanken des Datentakts bzw. 20 Beginne von Rahmen bei der Rahmenübertragung fallen und durch Vergleich dieser ermittelten Perioden die Phasendifferenz ermittelt. Dazu kann insbesondere die Anzahl der Perioden des Signals mit der Phasenmessfrequenz ermittelt werden, die zwischen den Perioden dieses Signals liegen, in die die Flanken des Datentakts bzw. die Rahmenbeginne der Rahmenübertragung 30 fallen. Somit kann die Phasendifferenz digital mit einfachem Aufwand ermittelt werden. Die Auflösung bei der Ermittlung der Phasendifferenz ist dabei proportional zur Phasenmessfrequenz. Wenn die Phasenmessfrequenz erhöht wird, kann die Phasendiffe-

renz genauer aufgelöst werden, da die Zeitschritte kleiner werden, mit denen die Differenz zwischen dem Auftreten von Flanken im Datentakt und von Rahmenbeginnen bei der Rahmenübertragung ermittelt werden kann.

5

Die wesentliche Bedeutung bei der vorliegenden Erfindung kommt der Abstimmung aller Parameter innerhalb der Regelung zu. Die Regelung muss so eingerichtet werden, dass sich zusätzlich zu dem alternierenden Stuffing eine etwas niederfrequenterer zusätzliche Arbeitsbewegung der Regelung ergibt, um die Zeiten, in denen ausschließlich streng alternierende Stuffing auftritt, geringer zu halten. Das Stellsignal führt bei der vorliegenden Erfindung zwei überlagerte Arbeitsbewegungen aus. Eine entspricht dem streng alternierenden Stuffing und die andere dem über die Reglerparameter herbeigeführten großen Grenzzyklus. Der große Grenzzyklus stellt eine Arbeitsbewegung mit einer Frequenz dar, die geringer als die des streng alternierenden Stuffings ist.

10

15

20

25

30

Wenn die Phasendifferenz mit Hilfe eines Signals mit einer Phasenmessfrequenz wie zuvor beschrieben ermittelt wird, hängt der Zahlenbereich der quantisierten Phasendifferenz von der verwendeten Phasenmessfrequenz ab. Die Phasenmessfrequenz wirkt sich somit direkt auf die Erzeugung des Stellsignals aus, so dass bei der Einrichtung der Regelung bzw. der Bemessung der Reglerparameter auch die Phasenmessfrequenz berücksichtigt werden muss. Umgekehrt wird es dadurch jedoch auch möglich, das gewünschte Verhalten der Regelung durch Verändern der Phasenmessfrequenz zu erzielen. Die Phasenmessfrequenz kann beispielsweise das Vierfache der Symbolfrequenz betragen.

Aufgrund der langen Dauer der Rahmen kann eine digital ausgestaltete Regelung mit all seinen Funktionen von einem elektronischen programmierbaren digitalen Rechenwerk z.B. einem Mik-

roprozessor durchgeführt werden. Alle Parameter der Regelung sind hierbei in einem entsprechenden Programm hinterlegt, dessen Ausführung durch den Mikroprozessor - gegebenenfalls als eine von mehreren Aufgaben des Mikroprozessors - die Regelung  
5 realisiert.

Die vorliegende Erfindung kann aber auch durch eine entsprechende Schaltung realisiert werden.

10 Sowohl die Schaltung als auch der Mikroprozessor kann auch Teil einer integrierten Schaltung sein.

Die vorliegende Erfindung wird nachfolgend anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die beigefüg-  
15 ten Zeichnungen näher erläutert.

Figur 1 zeigt ein Blockschaltbild einer Vorrichtung zum Übertragen von Datensymbolen mit einer festen Symbolfrequenz in Rahmen und zum Regeln der mittleren Rahmendauer synchron zu  
20 einem Datentakt gemäß dem Ausführungsbeispiel der vorliegenden Erfindung,

Figur 2 zeigt beispielhafte Verläufe verschiedener in der Vorrichtung gemäß Figur 1 auftretender Signale,  
25

Figur 3 zeigt den beispielhaften Verlauf der Phase der Rahmenübertragung auf der Senderseite und der Empfängerseite, sowie den Verlauf der Phase des auf der Empfängerseite rückgewonnenen Datentakts,  
30

Figur 4 zeigt den Aufbau der Rahmen mit beinhalteten Datensymbolen,

Figur 5 zeigt das Schaltbild einer bekannten Vorrichtung zum Übertragen von Datensymbolen in Rahmen mit Regelung der Rahmendauer synchron zu einem Datentakt nach dem Stand der Technik.

5

Figur 6 zeigt das Blockschaltbild einer Vorrichtung zum Rückgewinnen der Datenrate auf der Empfängerseite gemäß dem Stand der Technik, und

10 Figur 7 zeigt die zeitlichen Verläufe der Phase der gesendeten Rahmen sowie des auf der Empfängerseite rückgewonnenen Datentakts bei Verwendung der Vorrichtung gemäß Figur 5.

In Figur 1 ist eine Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Die dargestellte Vorrichtung umfasst einen Phasendetektor 3, der die Phasendifferenz zwischen einem Datentaktsignal 6 und einem Vergleichssignal 20 ermittelt und davon abhängig ein Ausgangssignal 21 erzeugt. Das Ausgangssignal 21 stellt die ermittelte Phasendifferenz dar und wird einem Schleifenfilter 17 zugeführt, dass einen Proportional- und einem Integralanteil aufweist und dessen Ausgangssignal einem Stellsignalgenerator 18 zugeführt wird, der ausgangsseitig ein Stellsignal 5 erzeugt. Das Stellsignal 5 beaufschlagt einen Framer 4, der über eine nicht dargestellte Leitung zugeführte Datensymbole zu Rahmen zusammenfasst und abhängig vom Stellsignal 5 den einzelnen Rahmen Stopfdatensymbole hinzufügt, um die zeitliche Länge der Rahmen zu verändern. Dazu wird dem Framer 4 die Symbolfrequenz über eine Symbolfrequenzleitung 8 zugeführt. Der Framer 4 erzeugt ausgangsseitig ein Rahmenübertragungssignal 7, dass im folgenden auch Rahmenübertragung genannt wird. Parallel zur Rahmenübertragung 7 erzeugt der Framer 4 das Vergleichssignal 20, dass als Eingangssignal für den Phasendetektor 3 dient. Sowohl der Phasen-

15  
20  
25  
30

detektor 3 als auch das Schleifenfilter 17 werden von dem Datentaktsignal 6 beaufschlagt.

Zur Ermittlung der Phasendifferenz wird der Phasendetektor 3 auch über eine Messfrequenzleitung 19 mit einem Signal mit einer Phasenmessfrequenz beaufschlagt. Die Phasenmessfrequenz beträgt ein ganzzahliges Vielfaches und insbesondere das Vierfache der Symbolfrequenz, die über die Symbolfrequenzleitung 8 dem Framer 4 zugeführt wird und mit der die Datensymbole übertragen werden.

Im beschriebenen Ausführungsbeispiel beträgt die nominale Rahmenlänge 6 ms. Je Rahmen werden 864 Datensymbole übertragen und abhängig vom Stellsignal 5, das zwei Zustände einnehmen kann, werden zwei Stopfdatensymbole eingefügt bzw. weggelassen. Die Phasenmessfrequenz beträgt das Vierfache der Symbolfrequenz.

Wenn die Phasendifferenz über jeweils zwei aufeinanderfolgende Rahmen 1 gemittelt wird, eignen sich für die Regelsignale folgende Berechnungsvorschriften, wobei die Funktion "floor" das Runden zu dem nächsten darunterliegenden ganzzahligen Wert bedeutet:

$$pd(i) = \text{floor} (\text{Phase des Datentakts}(i) - 0,5 * (\text{Phase der Rahmenübertragung}(i-1) + \text{Phase der Rahmenübertragung}(i-2)) * 4 * 864)$$

Eingangssignal des Stellsignalgenerators 18 =

$$\text{floor} (pd(i) * 2^{\exp(-6)} + \text{intg}(i) * 2^{\exp(-14)}),$$

wobei

$$\text{intg}(i) = \text{intg}(i-1) + pd(i) \text{ ist.}$$

Die in Figur 1 dargestellte Vorrichtung stellt eine PLL-Schaltung dar, in der mit Hilfe des Stellsignals 5 die zeitliche Länge der Rahmen 1, die vom Framer 4 erzeugt werden, im

Mittel so geregelt wird, dass die Rahmen 1 der Rahmenübertragung 7 synchron zum Takt des Datentaktsignals 6 liegen.

Der Phasendetektor 3 ist dabei so eingerichtet, dass sein Ausgangssignal 21 der über jeweils mehrere und insbesondere zwei aufeinanderfolgende Rahmen 1 ermittelten Phasendifferenz zwischen der Phase der Rahmen der Rahmenübertragung 7 und des Datentaktsignals 6 entspricht. Der Stellsignalgenerator 18 ist so eingerichtet, dass das von ihm erzeugte Stellsignal 5 mehrere und insbesondere zwei Zustände einnehmen kann, wobei der Stellsignalgenerator 18 das vom Schleifenfilter 17 an ihn weitergegebene Signal mit einem Schwellwert, der insbesondere 0 beträgt, vergleicht und davon abhängig das Stellsignal 5 erzeugt. Dabei ist der Stellsignalgenerator 18 so eingerichtet, dass das Stellsignal 5 einen ersten Zustand einnimmt, wenn das Eingangssignal des Stellsignalgenerators 18 unter dem Schwellwert liegt und das Stellsignal 5 einen zweiten Zustand einnimmt, wenn das Eingangssignal über dem Schwellwert liegt. Ist das Eingangssignal des Stellsignalgenerators 18 gleich dem Schwellwert, nimmt das Stellsignal 5 einen zum vorangegangenen Zustand verschiedenen Zustand ein. Abhängig vom Zustand des Stellsignals 5 fügt der Framer in die Rahmen 1 ein Stopfdatensymbol 2a oder eine bestimmte Anzahl an Stopfdatensymbolen 2a ein oder nicht.

In Figur 2 sind für einen konkreten Betriebsfall verschiedene in der Vorrichtung gemäß Figur 1 auftretende Signale mit ihrem zeitlichen Verlauf dargestellt. Bei dem hier beschriebenen Betriebsfall wird eine sehr geringe Frequenzabweichung zwischen der Symbolfrequenz und der auf die Symbolfrequenz normierten Frequenz des Datentakts angenommen. Die Datenfrequenz ist ein ganzzahliger Teil der Datenquellenfrequenz. Grundlage dieser Normierung ist die Anzahl der in einem Rahmen übertragenen Datensymbole 2 und Stopfdatensymbole 2a.

Verlauf a) aus Figur 2 zeigt die Phase des normierten Datentaktsignals 6 bezogen auf die Symbolfrequenz. Dabei ist festzustellen, dass die normierte Datentaktfrequenz etwas geringer als die Symbolfrequenz ist, so dass die Phase fortlaufend abnimmt. In dem Diagramm b) darunter ist die Phase der Rahmen in der Rahmenübertragung 7 dargestellt, wobei diese Phaseninformation mit Hilfe des Vergleichssignals 20 dem Phasendetektor 3 zugeführt wird. Der in dem Diagramm b) dargestellte Phasenverlauf der Rahmen entspricht im Mittel im Wesentlichen, dem im Diagramm a) dargestellten Phasenverlauf des Datentaktsignals 6, wie es von der Regelung erwartet wird. Dabei kann festgestellt werden, dass die Phase der Rahmen durch alternierendes Stuffing ständig hin- und herwechselt, wobei die Phasen streng alternierenden Stuffings nur von kurzer Dauer sind und immer wieder größere Phasensprünge auftreten.

Im vorliegenden Fall ist die Regelung derart eingerichtet, dass sie einen Proportionalanteil und einen Integralanteil aufweist. Der Proportionalanteil ist im Diagramm c) dargestellt. Der Integralanteil ist im Diagramm d) dargestellt, wobei der Proportionalanteil und der Integralanteil mit einem Proportionalkoeffizienten bzw. einem Integralkoeffizienten multipliziert und anschließend addiert werden, um das an den Stellsignalgenerator 18 weitergeleitete Signal zu bilden.

Im Diagramm e) schließlich ist der Verlauf der mit Hilfe der erfindungsgemäßen Regelung erzielten Differenz zwischen dem Rahmenübertragungssignal 7 und dem Datentaktsignal 6 dargestellt. Der dargestellte Verlauf weist zwar starke Ausschläge auf, bewegt sich jedoch im Mittel immer im Wesentlichen um die Nulllinie herum. Hervorzuheben ist, dass nur kurze Abschnitte mit streng alternierenden Phasendifferenzen auftreten.

Im Diagramm f) in Figur 3 ist die Phasendifferenz sowie im Diagramm g) die relative Frequenzabweichung zwischen der Datentaktfrequenz und der PLL auf der Senderseite dargestellt, wobei ein zeitlich längerer Bereich als in Figur 2 dargestellt ist. Weiterhin zeigt Diagramm h) in Figur 3 den Verlauf der Phase des rückgewonnenen Datentakts auf der Empfängerseite.

Diagramm f) in Figur 3 zeigt die verglichen mit dem Stand der Technik großen Ausschläge der Phasendifferenz, die aufgrund der zwei Grenzyklen entstehen. Im Mittel jedoch beträgt die relative Phasendifferenz im Wesentlichen 0. Ungefähr in der Mitte des Diagramms f) bezogen auf die horizontale Ausdehnung ist ein kleiner Bereich streng alternierenden Stuffings zu erkennen.

15

In dem darunter dargestellten Diagramm g) ist die zugehörige relative Frequenzabweichung dargestellt, die qualitativ den gleichen Verlauf wie die relative Phasendifferenz im Diagramm f) aufweist.

20

Im untersten Diagramm h) ist der Verlauf der Phase des rückgewonnenen Datentakts auf der Empfängerseite dargestellt. Dabei ist diesmal die Datentaktfrequenz im Sender etwas größer als die normierte Symbolfrequenz, so dass die Phase fortlaufend zunimmt. Dabei bezeichnet der Ausschnitt j einen Bereich in diesem Verlauf, in dem ein Wander bzw. ein kleiner Jitter auftritt. Dabei wird von einer Eigenfrequenz der PLL auf der Empfängerseite ausgegangen, die wesentlich kleiner als die Rahmenfrequenz ist. Bei S(H)DSL-Rahmen von nominal 6ms Länge liegt diese Eigenfrequenz z.B. bei 1Hz. Der dargestellte Wander der Ausgangsphase der PLL auf der Empfangsseite ist hierbei im konkreten Beispiel kleiner als 180 ns und liegt somit unterhalb des zulässigen Werts von 725 ns für die S(H)DSL-Übertragung bei der niedrigsten Bitrate, bei der 864 Bits je

30

Rahmen nominal übertragen werden. Hierbei werden abhängig vom Zustand des Stellsignals 5 zwei Stuffbits je Rahmen zugefügt oder weggelassen.

- 5 Der im Diagramm h) dargestellte Wander entsteht durch die einzige längere Phase streng alternierenden Stuffings, die in den beiden darüber dargestellten Diagrammen f) und g) gut zu erkennen ist.

## Patentansprüche

1. Verfahren zur Regelung der Phase von aufeinanderfolgend übertragenen Rahmen (1), in denen Datensymbole (2) mit einer konstanten Symbolfrequenz übertragen werden, bei welchem Verfahren eine Phasendifferenz zwischen dem Takt der Rahmenübertragung (7) und einem Datentakt (6) ermittelt und abhängig von der Phasendifferenz ein Stellsignal (5) zur Steuerung des Einfügens von Stopfdatensymbolen in die Rahmen (1) zum Verändern der Rahmenlänge und der Phase der Rahmenübertragung (7) erzeugt wird, wobei die Phase der Rahmenübertragung (7) derart geregelt wird, dass die Rahmen (1) im Mittel synchron zum Datentakt (6) übertragen werden, dadurch gekennzeichnet, dass  
15 das Stellsignal (5) abhängig von der aus jeweils für N aufeinanderfolgend übertragenen Rahmen (1) ermittelten Phasendifferenz erzeugt wird, wobei N wenigstens gleich 2 ist.
2. Verfahren nach Anspruch 1,  
20 dadurch gekennzeichnet, dass die Regelung, gemäß der das Stellsignal (5) erzeugt wird, einen Proportionalanteil und einen Integralanteil aufweist.
3. Verfahren nach einem der vorhergehenden Ansprüche,  
25 dadurch gekennzeichnet, dass die Regelung einen großen Grenzyklus aufweist.
4. Verfahren nach Anspruch 3,  
dadurch gekennzeichnet, dass  
30 die Regelung derart eingerichtet ist, dass sie einen großen Grenzyklus und einen kleinen Grenzyklus aufweist, dessen Stellsignalbewegung eine höhere Frequenz aufweist als die Stellsignalbewegung des großen Grenzyklus und bei dem Stopf-

datensymbole in zwei alternierenden Anzahlen in die Rahmen (1) eingefügt werden.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Stellsignal (5) mehrere und vorzugsweise zwei unterschiedliche Zustände annehmen kann, wobei die Zustände unterschiedliche Anzahlen von eingefügten Stopfdatensymbolen bezeichnen.

10 6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Stellsignal (5) abhängig von der über jeweils N aufeinanderfolgend übertragenen Rahmen (1) gemittelten Phasendifferenz erzeugt wird.

15 7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Regelung zeit- und amplitudendiskret ist.

20 8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass zur Ermittlung der Phase der übertragenen Rahmen (1) und des Datentakts (6) bzw. zur Ermittlung der Phasendifferenz erfasst wird, während welcher Perioden eines Signals (19) mit einer  
25 Phasenmessfrequenz eine Flanke des Datentakts (6) bzw. der Beginn eines neuen Rahmens (1) auftritt.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass  
30 die Phasenmessfrequenz ein ganzzahliges Vielfaches der Symbolfrequenz beträgt.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass

N gleich 2 ist.

11. Phasendetektor (3) zur Verwendung in einer Vorrichtung zur  
Regelung der Phase von aufeinanderfolgend übertragenen Rahmen  
5 (1), in denen Datensymbole (2) in einer konstanten Symbolfre-  
quenz übertragen werden, wobei der Phasendetektor (3) derart  
eingrichtet ist, dass er eine Phasendifferenz zwischen dem  
Takt der Rahmenübertragung (7) und einem Datentakt (6) ermit-  
telt und ein Ausgangssignal (20) erzeugt und die Vorrichtung  
10 zur Regelung derart eingerichtet ist, dass sie abhängig von  
dem Ausgangssignal (20) des Phasendetektors (3) ein Stellsig-  
nal (5) zur Steuerung des Einfügens von Stopfdatensymbolen in  
die Rahmen (1) zum Verändern der Rahmenlänge und der Phase der  
Rahmenübertragung (7) erzeugt und die Phase der Rahmenübertra-  
15 gung (7) derart regelt, dass die Rahmen (1) im Mittel synchron  
zum Datentakt (6) übertragen werden,  
dadurch gekennzeichnet, dass  
der Phasendetektor (3) derart eingerichtet ist, dass er das  
Ausgangssignal (20) abhängig von der aus jeweils N aufeinander-  
20 derfolgend übertragenen Rahmen (1) ermittelten Phasendifferenz  
erzeugt, wobei N wenigstens gleich 2 ist.

12. Phasendetektor (3) nach Anspruch 11,  
dadurch gekennzeichnet, dass  
25 der Phasendetektor (3) zur Durchführung eines Verfahrens nach  
einem der Ansprüche 1 bis 11 eingerichtet ist.

13. Vorrichtung zur Regelung der Phase von aufeinanderfolgend  
übertragenen Rahmen (1) in denen Datensymbole (2) in einer  
30 konstanten Symbolfrequenz übertragen werden, mit einem Phasen-  
detektor (3) zum Ermitteln einer Phasendifferenz zwischen dem  
Takt der Rahmenübertragung (7) und einem Datentakt (6) und ei-  
ner Stellsignalerzeugungseinrichtung (17, 18), die derart mit  
dem Phasendetektor (3) verbunden und eingerichtet ist, dass

sie abhängig von der Phasendifferenz ein Stellsignal (5) zur Steuerung des Einfügens von Stopfdatensymbolen in die Rahmen (1) zum Verändern der Rahmenlänge und der Phase der Rahmenübertragung (7) erzeugt, wobei die Vorrichtung derart eingerichtet ist, dass sie die Phase der Rahmenübertragung (7) derart regelt, dass die Rahmen (1) im Mittel synchron zum Datentakt (6) übertragen werden, dadurch gekennzeichnet, dass die Vorrichtung derart eingerichtet ist, dass sie das Stellsignal (5) abhängig von der aus jeweils N aufeinanderfolgend übertragenen Rahmen (1) ermittelten Phasendifferenz erzeugt, wobei N wenigstens gleich 2 ist.

14. Vorrichtung nach Anspruch 13,

dadurch gekennzeichnet, dass

die Stellsignalerzeugungseinrichtung einen Reglerblock (17) mit Proportionalanteil und Integralanteil aufweist.

15. Vorrichtung nach Anspruch 13 oder 14,

dadurch gekennzeichnet, dass

die Stellsignalerzeugungseinrichtung einen Schwellwertschalter (18) aufweist, der derart eingerichtet ist, dass er ein ihn

beaufschlagendes Eingangssignal in Bezug auf das über- bzw.

Unterschreiten wenigstens eines Grenzwerts überwacht und davon

abhängig das Stellsignal (5) erzeugt.

16. Vorrichtung nach einem der Ansprüche 13 bis 15,

dadurch gekennzeichnet, dass

die Vorrichtung in einem Halbleiterbaustein integriert ist.

17. Vorrichtung nach einem der Ansprüche 13 bis 16,

dadurch gekennzeichnet, dass

die Signalverarbeitung in der Vorrichtung digital erfolgt.

18. Vorrichtung nach einem der Ansprüche 13 bis 17,  
dadurch gekennzeichnet, dass  
die Signalverarbeitung in der Vorrichtung mittels der Ausfüh-  
rung eines Programms auf einem Mikroprozessor durchgeführt  
5 wird.

19. Vorrichtung nach einem der Ansprüche 13 bis 18,  
dadurch gekennzeichnet, dass  
die Vorrichtung zur Durchführung eines Verfahrens nach einem  
10 der Ansprüche 1 bis 10 eingerichtet ist.

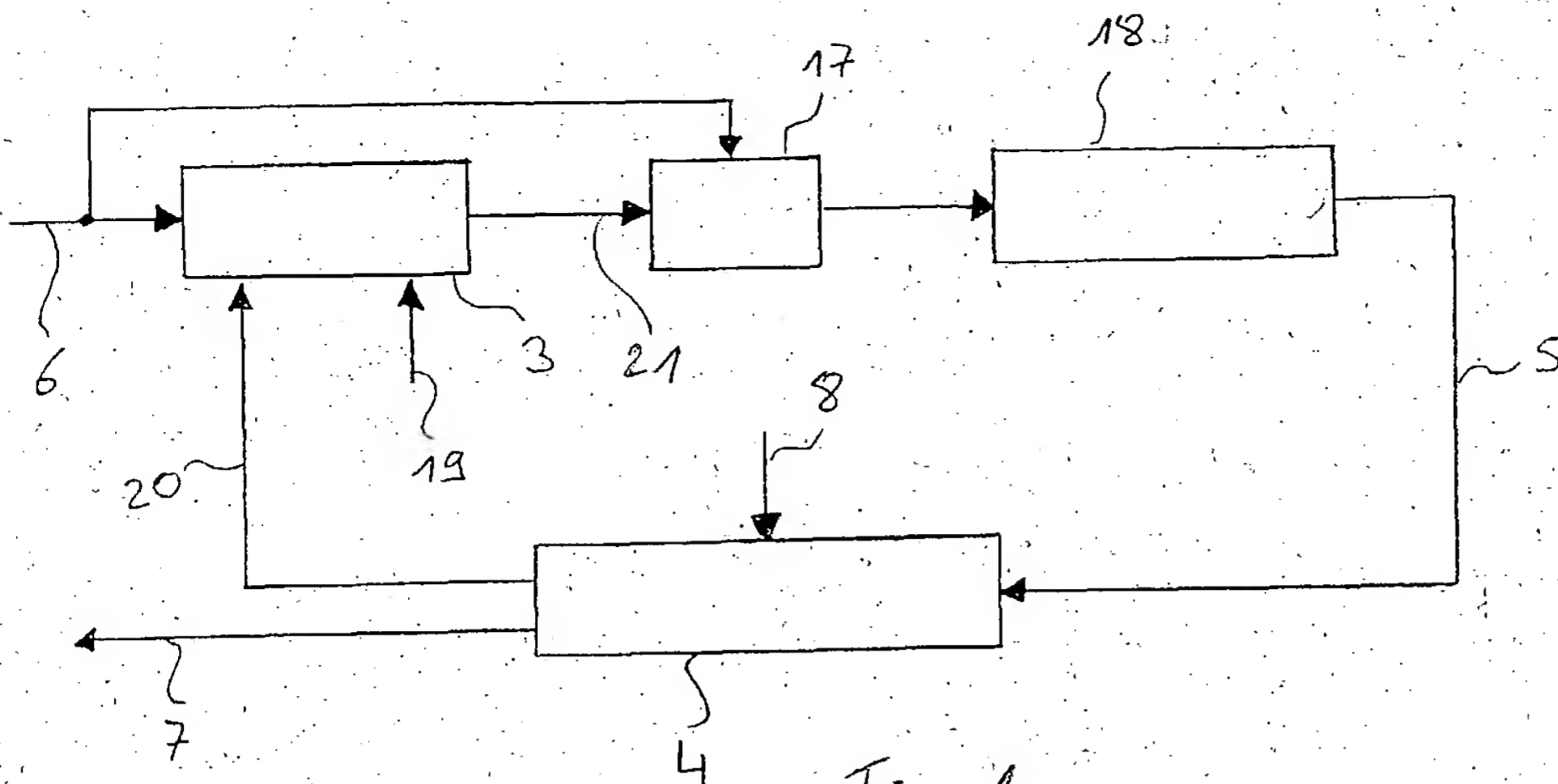


Fig. 1

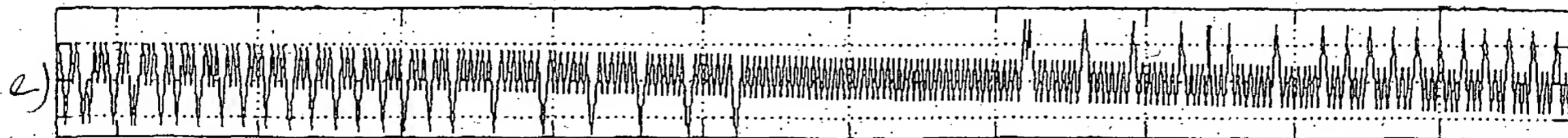
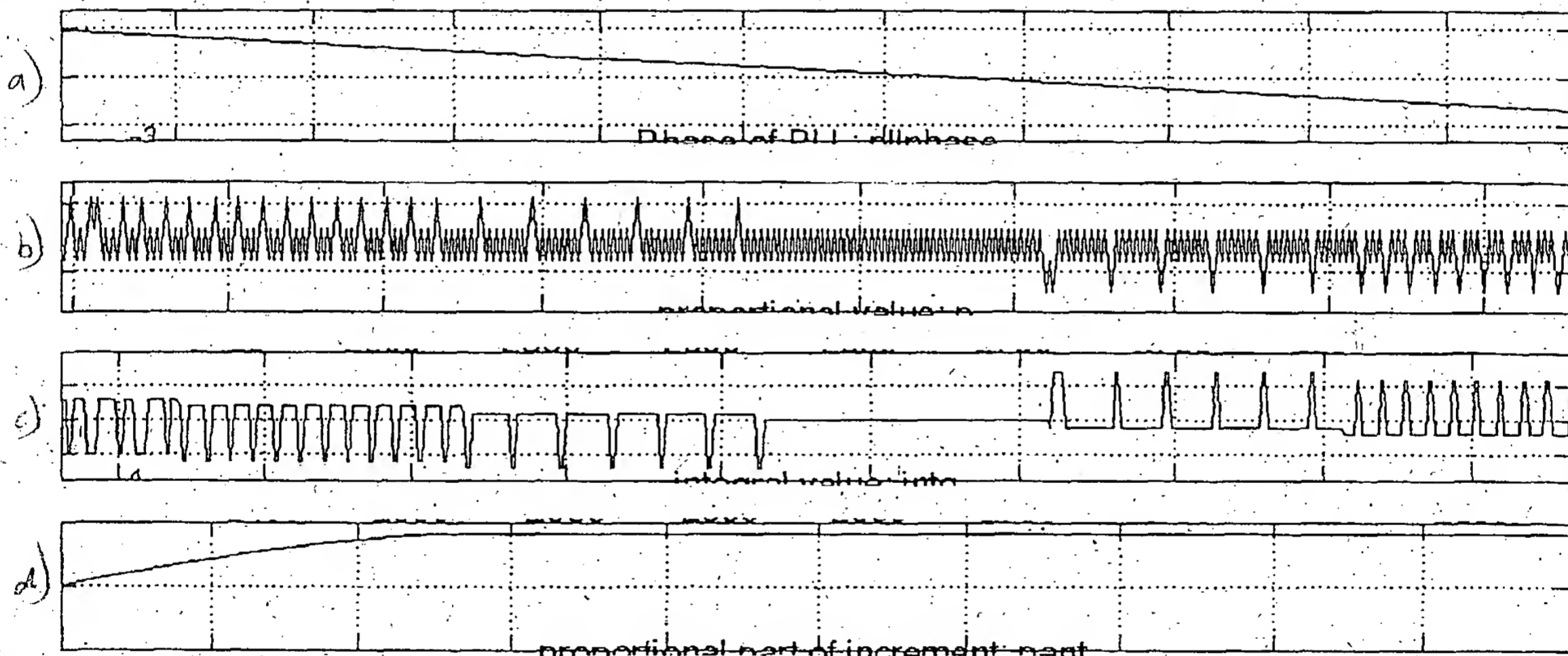
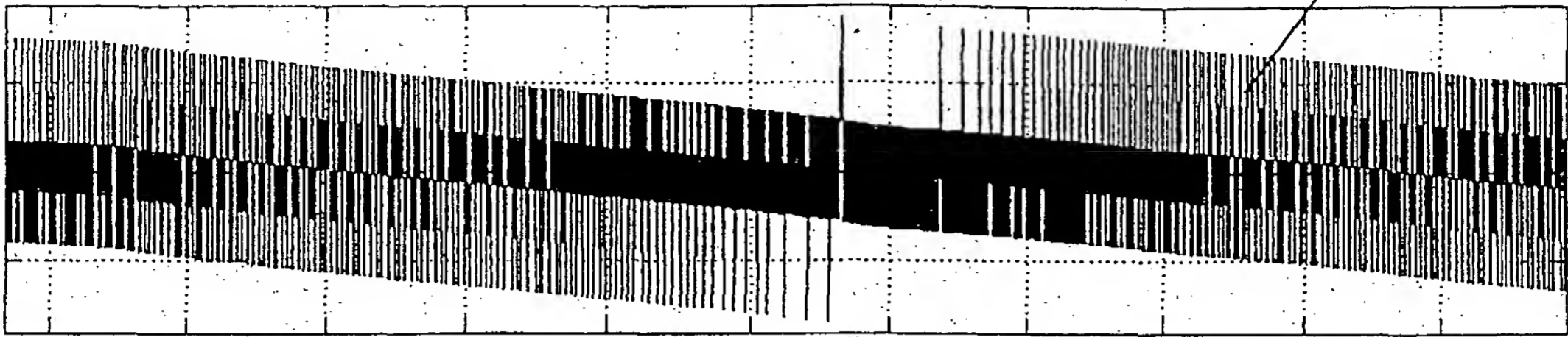
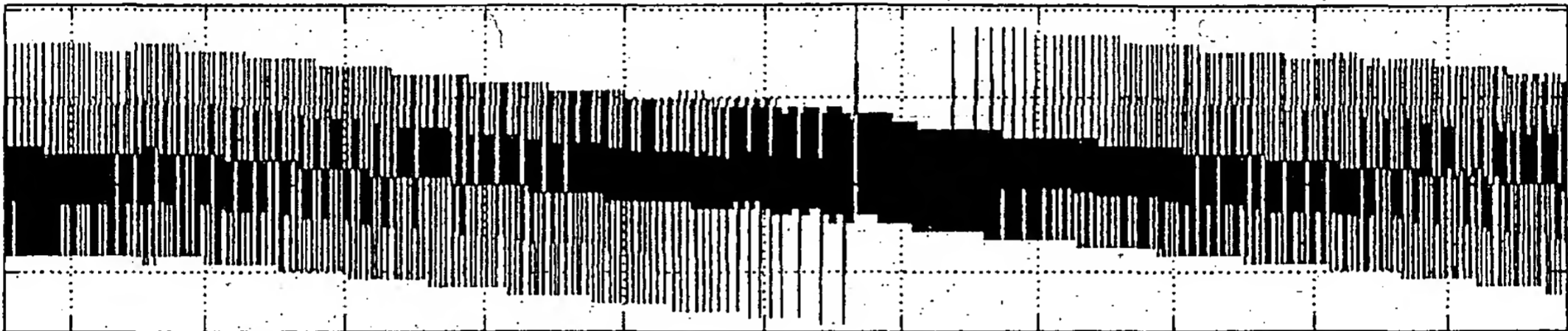


Fig. 2

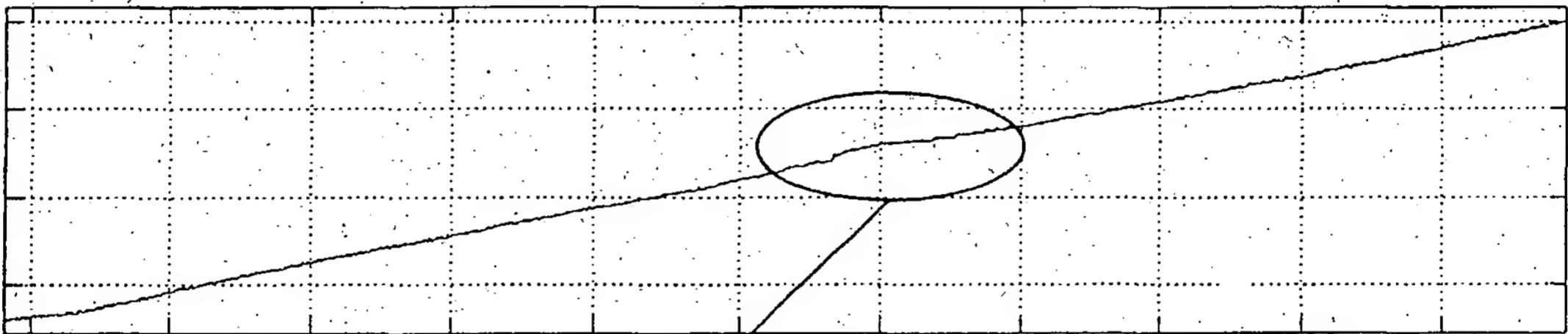
f)



g)



h)



i

Fig. 3

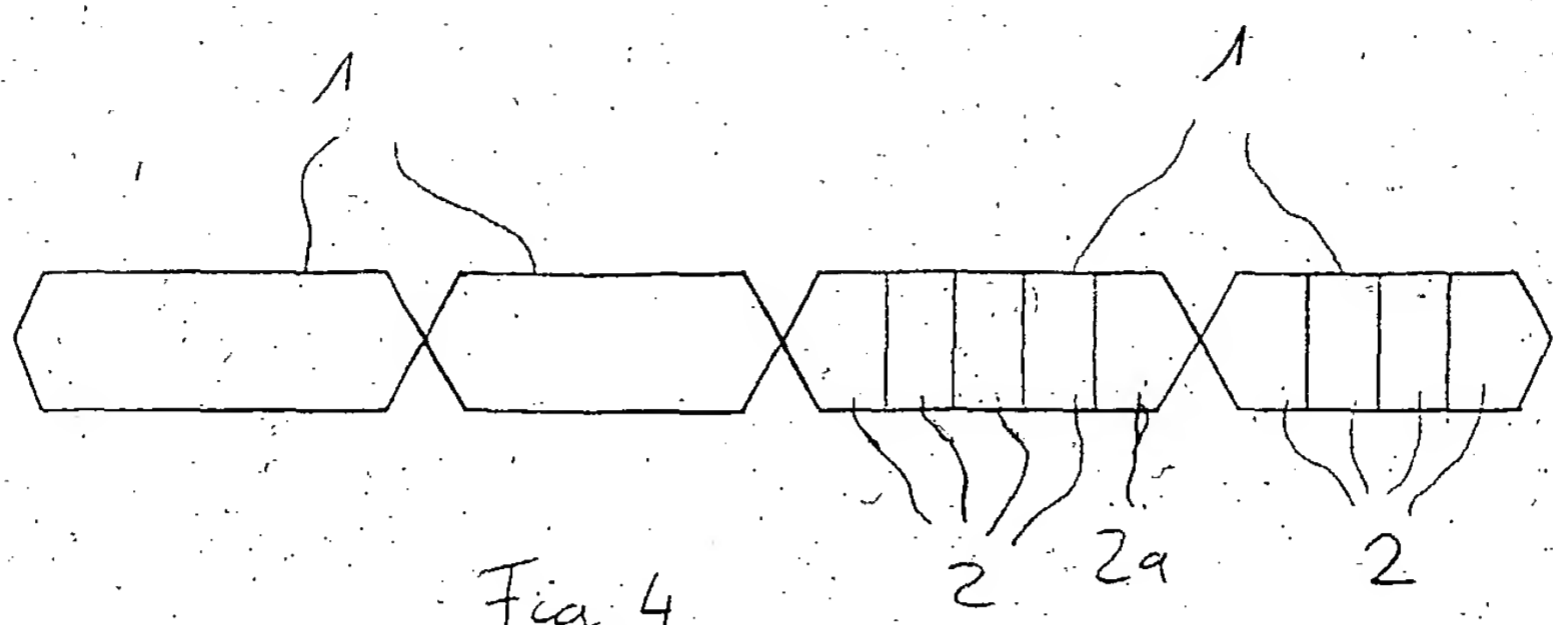


Fig. 4

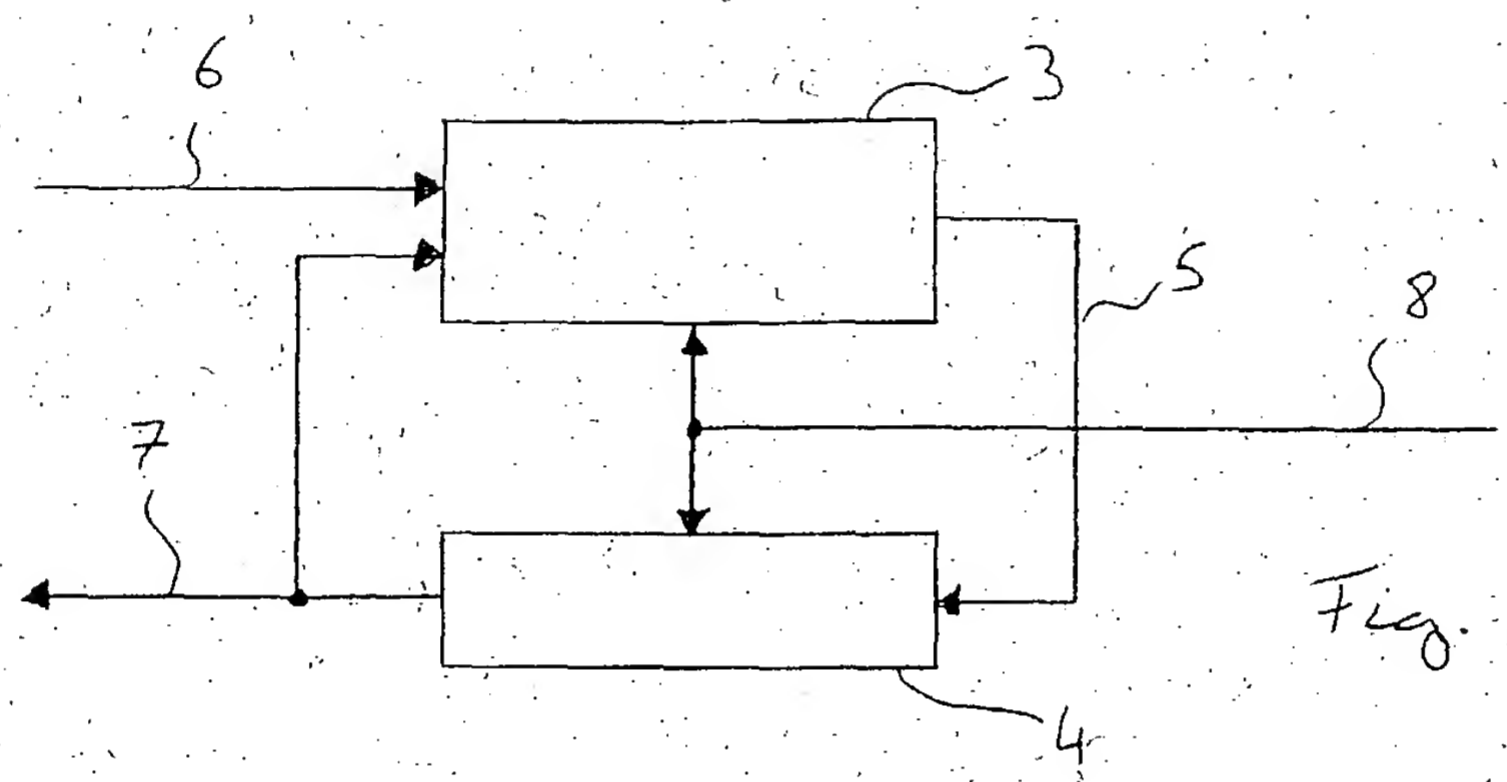


Fig. 5

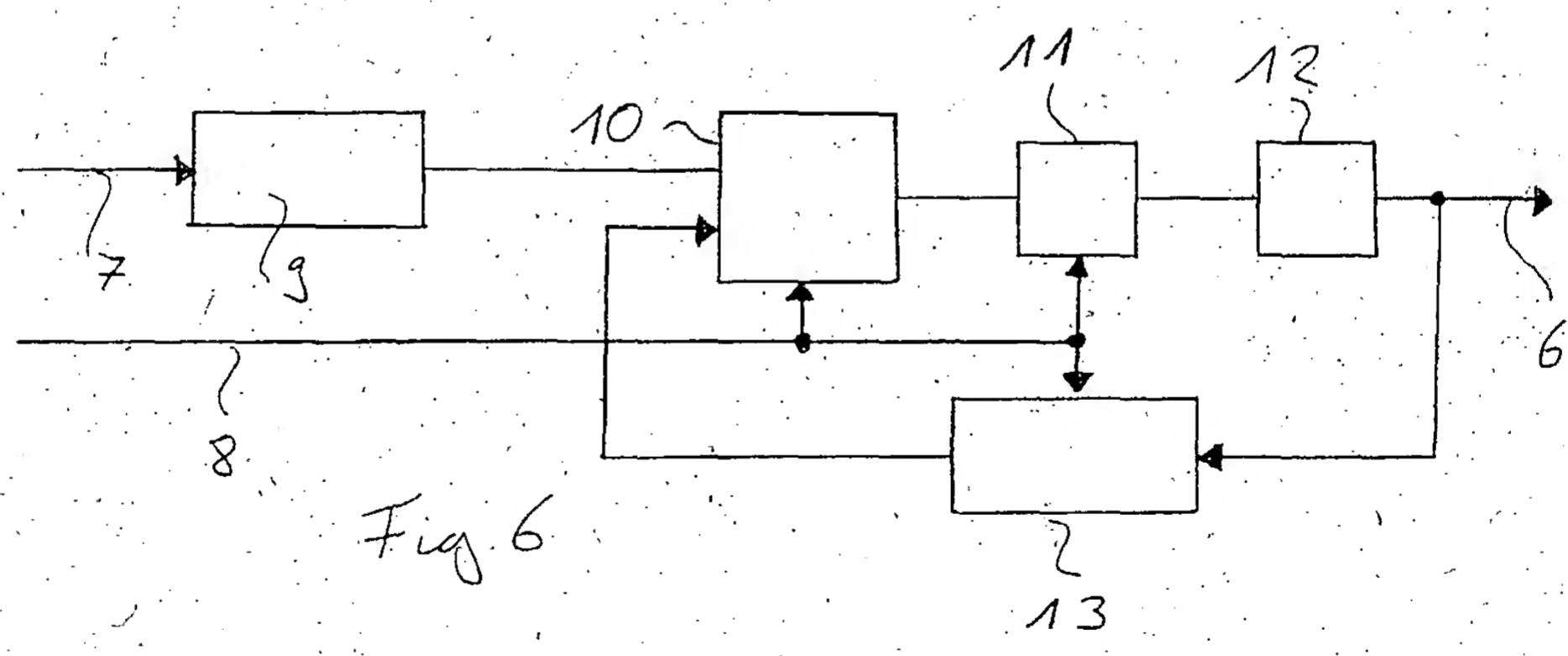


Fig. 6

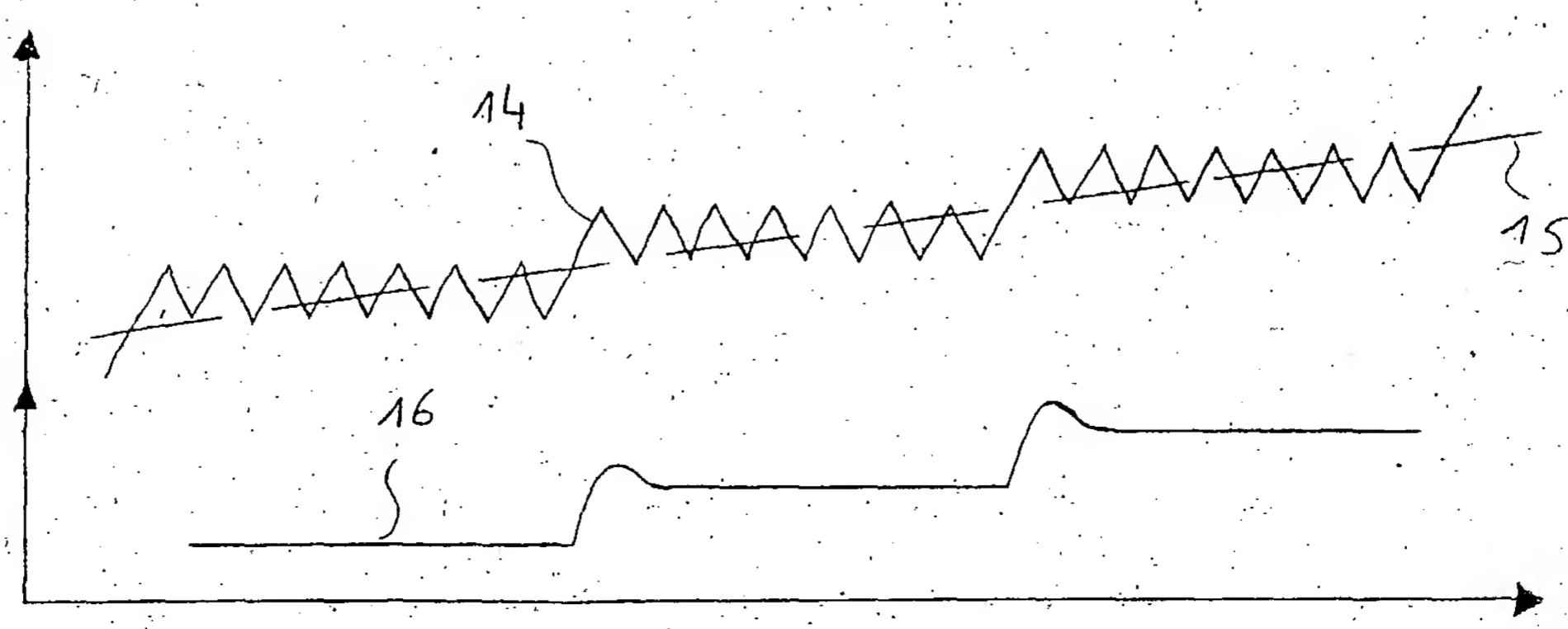


Fig. 7

## Zusammenfassung

## Verfahren und Vorrichtung zur Stuffing-Regelung

- 5 Bei einer plesiochronen Datenübertragung, wie insbesondere bei einer S(H)DSL-Übertragung werden Datensymbole (2) mit einer festen Symbolfrequenz in Rahmen (1) mit einer in Grenzen ver-  
änderbaren zeitlichen Länge übertragen. Die Länge der Rahmen (1) wird durch Einfügen oder Weglassen von Stopfdatensymbolen  
10 so gegenüber einer Nominallänge verändert, dass sie über mehrere Rahmen (1) gemittelt synchron zu einem Datentakt ist. Falls die Datentaktfrequenz synchron mit der Symbolfrequenz ist, werden in den Rahmen (1) alternierend Stopfdatensymbole eingefügt bzw. weggelassen, so dass die Phase der Rahmen (1)  
15 bei der Übertragung ständig wechselt. Dieser Wechsel findet jedoch mit einer hohen Frequenz statt und kann auf der Empfängerseite bei der Wiedergewinnung des Datentakts mittels einer PLL leicht unterdrückt werden. Bei einer geringen Abweichung bei der Synchronisierung zwischen Symbolfrequenz und Daten-  
20 taktfrequenz jedoch müssen zur Regelung der Rahmenlänge in relativ großen zeitlichen Abständen mehrmals hintereinander Stopfdatensymbole eingefügt oder weggelassen werden, so dass niederfrequente Jitter entstehen, die nicht mehr von der PLL auf der Empfängerseite gedämpft werden können, wenn die Jit-  
25 terfrequenz kleiner der Eigenfrequenz der PLL ist. Erfindungsgemäß wird auf der Senderseite die Phasendifferenz zwischen dem Datentakt und dem Takt der Rahmenübertragung (7) aus jeweils wenigstens zwei aufeinanderfolgende Rahmen (1) ermittelt, so dass der Einfluss des alternierende Einfügens und  
30 Weglassens von Stopfdatensymbolen auf die Regelung eliminiert wird. Zusätzlich wird die Regelung derart eingerichtet, dass zusätzlich zu dem alternierenden Einfügen und Weglassen von Stopfdatensymbolen ein großer Grenzyklus entsteht, so dass in der Regelschleife die Phasendifferenz zusätzlich zum alternie-

renden Stuffing einen zweiten Grenzzzyklus bzw. eine zweite Arbeitsbewegung ausführt, die zu einer höheren Jitterfrequenz führt, die auf der Empfängerseite von der PLL gedämpft werden kann.

5

(Fig. 1)